



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0029258  
Application Number

출원 년 월 일 : 2003년 05월 09일  
Date of Application MAY 09, 2003

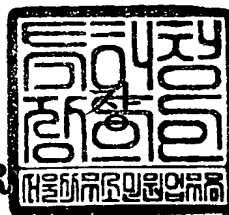
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0002  
**【제출일자】** 2003.05.09  
**【발명의 명칭】** 반도체 소자의 금속배선 형성방법  
**【발명의 영문명칭】** Method of forming metal line of semiconductor devices  
**【출원인】**  
**【명칭】** (주)하이닉스 반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【성명】** 신영무  
**【대리인코드】** 9-1998-000265-6  
**【포괄위임등록번호】** 1999-003525-1  
**【발명자】**  
**【성명의 국문표기】** 조일현  
**【성명의 영문표기】** CHO, Ihl Hyun  
**【주민등록번호】** 690918-1634923  
**【우편번호】** 302-734  
**【주소】** 대전광역시 서구 둔산동 동지아파트 108-805  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)  
**【수수료】**  
**【기본출원료】** 19 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 6 항 301,000 원  
**【합계】** 330,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 금속배선 형성방법에 관한 것으로, 반도체 기판 상에 층간절연막을 형성하는 단계와, 상기 층간절연막을 식각하여 금속배선 모양의 패턴을 형성하는 단계와, 상기 금속배선 모양의 패턴이 형성된 결과물 상에 단차를 따라 확산방지막을 형성하는 단계와, 상기 확산방지막 상에 구리막을 형성하는 단계와, 상기 층간절연막 상부의 상기 구리막 및 상기 확산방지막을 화학 기계적 연마하여 구리 금속배선을 형성하는 단계와, 상기 구리 금속배선 상에만 선택적으로 티타늄 또는 루테튬 금속을 흡착하는 단계 및 상기 흡착된 티타늄 또는 루테튬 금속에 대하여 어닐링을 실시하는 단계를 포함한다.

**【대표도】**

도 4

**【색인어】**

구리 금속배선, 다마신 공정, 티타늄, 루테튬

**【명세서】****【발명의 명칭】**

반도체 소자의 금속배선 형성방법{Method of forming metal line of semiconductor devices}

**【도면의 간단한 설명】**

도 1 내지 도 4는 본 발명의 바람직한 제1 실시예에 따른 반도체 소자의 금속배선 형성 방법을 설명하기 위하여 도시한 단면도들이다.

도 5 내지 도 8은 본 발명의 바람직한 제2 실시예에 따른 반도체 소자의 금속배선 형성 방법을 설명하기 위하여 도시한 단면도들이다.

**<도면의 주요 부분에 부호의 설명>**

100, 200: 반도체 기판    102: 제1 층간절연막

104: 콘택 플러그    106: 식각 정지막

108: 제2 층간절연막    110, 210: 트렌치

112, 212: 확산방지막    114, 214: 금속막

114a, 214a: 금속배선    116, 216: 무전해 전기도금

118, 218: 티타늄 또는 루테튬 금속

120, 220: 캡핑막    204: 층간절연막

205: 비아 홀

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 반도체 소자의 금속 배선 형성방법에 관한 것이다.
- <13> 소자의 집적도 증가와 배선 구조가 다층화됨에 따라 금속배선으로 알루미늄(Al)보다는 구리(Cu)를 많이 사용하고 있으며, 금속배선은 다마신(damascene) 공정을 주로 적용하고 있다.
- <14> 다마신 공정이라 함은 절연막을 사진 공정 및 식각 공정을 실시하여 트렌치(trench)를 형성하고, 이 트렌치에 구리(Cu) 등의 도전 물질을 채워 넣고 필요한 배선 이외의 도전 물질은 화학 기계적 연마(Chemical Mechanical Polishing) 등의 기술을 이용하여 제거함으로써 처음에 형성한 트렌치 모양으로 배선을 형성하는 기술이다.
- <15> 일반적으로 다마신 공정은 다음과 같은 과정으로 이루어진다. 먼저, 반도체 기판 상에 제1 층간절연막을 형성하고, 상기 제1 층간절연막에 하부의 도전 영역을 개구하는 콘택홀을 형성한 후 텅스텐(W)을 증착한 다음, 화학 기계적 연마하여 상기 콘택홀 내에 텅스텐(W)이 매립된 형태의 콘택 플러그를 형성한다. 이어서, 콘택 플러그가 형성된 결과물 상에 제2 층간절연막을 형성하고, 금속 배선을 형성하기 위하여 상기 콘택 플러그를 개구하는 트렌치를 형성한다. 다음에, 확산방지막으로 TaN막을 증착한 후, 구리 씨드층을 형성한다. 이어서, 전기 도금법으로 구리(Cu)막을 트렌치 내에 매립한 다음, 화학 기계적 연마하여 제2 층간절연막 상

부의 배리어막 및 구리(Cu)막을 제거하여 금속배선을 형성한다. 이어서, 금속배선 상에 캡핑막으로 실리콘 질화막을 형성한다.

<16> 그러나, 구리(Cu)와 캡핑막의 계면이 전자이동(electromigration)에 취약한 것으로 알려져 있다. 구리와 캡핑막과의 계면은 구리(Cu)와 확산방지막으로 되어 있는 계면보다 접착력(adhesion) 등이 좋지 않으며, 따라서 구리(Cu)의 확산도(diffusivity)가 상부 표면, 즉 캡핑막쪽이 빠른 것으로 알려졌다.

#### 【발명이 이루고자 하는 기술적 과제】

<17> 본 발명이 이루고자 하는 기술적 과제는 전자이동에 취약한 구리(Cu) 금속배선과 캡핑막의 계면에 선택적으로 구리의 확산을 방지할 수 있는 티타늄 또는 루테튬 금속을 선택적으로 형성하여 금속배선의 신뢰성을 확보할 수 있는 금속배선 형성방법을 제공함에 있다.

#### 【발명의 구성 및 작용】

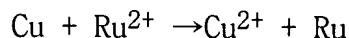
<18> 상기 기술적 과제를 달성하기 위하여 본 발명은, 반도체 기판 상에 층간절연막을 형성하는 단계와, 상기 층간절연막을 식각하여 금속배선 모양의 패터를 형성하는 단계와, 상기 금속배선 모양의 패터가 형성된 결과물 상에 단차를 따라 확산방지막을 형성하는 단계와, 상기 확산방지막 상에 구리막을 형성하는 단계와, 상기 층간절연막 상부의 상기 구리막 및 상기 확산방지막을 화학 기계적 연마하여 구리 금속배선을 형성하는 단계와, 상기 구리 금속배선 상에만 선택적으로 티타늄 또는 루테튬 금속을 흡착하는 단계 및 상기 흡착된 티타늄 또는 루테튬 금속에 대하여 어닐링을 실시하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법을 제공한다.

<19> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 개재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<20> 티타늄(Ti) 또는 루테튬(Ru)을 층간절연막 위에는 흡착되지 않고 노출된 구리(Cu) 표면에만 흡착되도록 하여 전자이동을 줄일 수 있는 방법을 설명한다.

<21> 먼저, 무전해 금속 증착(electroless metal deposition)을 이용하여 구리 표면 상에만 선택적으로 루테튬 금속을 형성하는 방법을 설명한다. 루테튬 클로라이드( $\text{RuCl}_3$ ) 용액에 구리(Cu) 금속막을 담가두면 아래 반응식 1과 같이 구리(Cu) 표면에 루테튬(Ru) 금속이 선택적으로 형성된다.

<22> 【반응식 1】

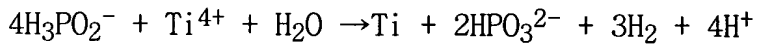


<23> 루테튬(Ru) 클러스터 또는 루테튬(Ru) 나노금속 입자(nanometallic particle)가 구리(Cu) 표면에만 쌓이게 되며, 층간절연막 상에는 흡착되지 않는다.

<24> 이하에서, 무전해 환원(electroless reduction) 방법을 사용해서 티타늄(Ti) 금속을 선택적으로 구리(Cu) 표면에 형성하는 방법을 설명한다. 티타늄 클로라이드( $\text{TiCl}_4$ ) 및 하이포-인

산(hypo-phosphorous acid)( $\text{H}_3\text{PO}_2$ )이 포함된 용액에 구리(Cu) 금속막을 담가두면 아래 반응식 2와 같이 구리(Cu) 표면에 티타늄(Ti) 금속이 선택적으로 형성된다.

<25> 【반응식 2】



<26> 여기서, 하이포-인산(hypo-phosphorous acid)( $\text{H}_3\text{PO}_2$ )은 티타늄(Ti)을 환원시키는 환원제로 작용한다.

<27> 이하에서, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 더욱 상세하게 설명한다.

<28> <실시예 1>

<29> 도 1 내지 도 4는 본 발명의 바람직한 제1 실시예에 따른 반도체 소자의 금속배선 형성 방법을 설명하기 위하여 도시한 단면도들이다.

<30> 도 1을 참조하면, 소정의 도전층(미도시)이 형성된 반도체 기판(100) 상에 제1 층간절연막(102)을 형성한다. 상기 도전층은 반도체 기판(100)에 형성된 불순물 도핑 영역이거나 금속 배선층일 수 있다. 제1 층간절연막(102)은 예를 들면,  $\text{SiO}_2$ 막, PSG(phosphorous silicate glass)막, BPSG(boron phosphorous silicate glass)막, USG(undoped silicate glass)막, FSG(fluorine doped silicate glass)막, HDP(high density plasma)막, PE-TEOS(plasma enhanced-tetra ethyl ortho silicate)막 또는 SOG(spin on glass)막과 같은 저유전율을 갖는 물질막으로 형성하는 것이 바람직하다.



- <31> 이어서, 사진식각 공정 및 식각 공정을 이용하여 제1 층간절연막(102)을 식각하여 콘택 홀을 형성한 후, 도전 물질로 매립하여 콘택 플러그(104)를 형성한다. 상기 도전 물질은 알루미늄(Al)막, 텅스텐(W)막, 구리(Cu)막 등일 수 있다.
- <32> 콘택 플러그(104)가 형성된 결과물 상에 식각 정지막(106)을 형성한다. 식각 정지막(106)은 그 상부에 형성되는 제2 층간절연막(104)과의 식각 선택비가 큰 물질, 예컨대 실리콘 질화막( $\text{Si}_3\text{N}_4$ ) 또는 실리콘 카바이드막( $\text{SiC}$ )으로 형성하는 것이 바람직하다.
- <33> 다음에, 식각 정지막(106) 상에 제2 층간절연막(108)을 형성한다. 제2 층간절연막(108)은 예를 들면,  $\text{SiO}_2$ 막, PSG(phosphorous silicate glass)막, BPSG(boron phosphorous silicate glass)막, USG(undoped silicate glass)막, FSG(fluorine doped silicate glass)막, HDP(high density plasma)막, PE-TEOS(plasma enhanced-tetra ethyl ortho silicate)막 또는 SOG(spin on glass)막과 같은 저유전율을 갖는 물질막으로 형성하는 것이 바람직하다.
- <34> 이어서, 사진식각 공정 및 식각 공정을 이용하여 제2 층간절연막(108) 및 식각 정지막(106)을 식각하여 금속배선이 형성될 영역인 트렌치(110)를 형성한다.
- <35> 도 2를 참조하면, 트렌치(110)가 형성된 결과물 상에 단차를 따라 확산방지막(112)을 증착한다. 확산방지막(112)은 제1 층간절연막(102) 및 금속막(114)에 대하여 접착성이 좋고 금속막(114)의 확산을 방지할 수 있는 물질막, 예컨대 Ti막, TiN막 등으로 형성할 수 있다. 확산방지막(112)은 CVD(Chemical Vapor Deposition) 방법으로 100~300 Å 정도의 두께로 증착하는 것이 바람직하다.
- <36> 확산방지막(112) 상에 금속 씨드층(미도시)을 형성한 후, 전기도금법(electroplating)을 이용하여 금속막(114)을 형성한다. 상기 금속막(114)은 구리(Cu)막 등일 수 있다.

- <37> 도 3을 참조하면, 금속막(114)을 화학 기계적 연마하여 금속 배선(114a)을 형성한다. 상기 화학 기계적 연마 공정은 제2 층간절연막(108)이 노출될 때까지 실시하는 것이 바람직하며, 상기 화학 기계적 연마 공정에 의하여 제2 층간절연막(108) 상부의 확산방지막(112) 및 금속막(114)이 제거된다.
- <38> 이어서, 앞에서 설명한 바와 같이 티타늄 클로라이드( $\text{TiCl}_4$ ; titanium chloride) 용액 또는 루테늄 클로라이드( $\text{RuCl}_3$ ; ruthenium chloride) 용액을 사용하여 무전해 전기도금(116)을 실시한다. 즉, 루테늄 클로라이드( $\text{RuCl}_3$ ) 용액에 구리(Cu) 금속배선을 담그거나, 티타늄 클로라이드( $\text{TiCl}_4$ ) 및 하이포-인산(hypo-phosphorous acid)( $\text{H}_3\text{PO}_2$ )이 포함된 용액에 구리(Cu) 금속배선(114a)을 담가서 구리(Cu) 금속배선(114a) 표면에 루테늄(Ru) 금속 또는 티타늄(Ti) 금속을 선택적으로 형성한다.
- <39> 도 4를 참조하면, 상기 무전해 전기도금에 의하여 티타늄(Ti) 또는 루테늄(Ru) 금속이 선택적으로 금속막, 예컨대 구리(Cu) 표면에만 선택적으로 증착된다. 이와 같이 화학 기계적 연마 후 노출된 구리(Cu) 표면에만 티타늄(Ti) 또는 루테늄(Ru)을 선택적으로 흡착시켜 전자의동을 줄여서 구리 배선의 신뢰성을 향상시킬 수 있다. 구리(Cu) 표면을 티타늄(Ti) 또는 루테늄(Ru) 등으로 코팅함에 의해 티타늄(Ti)/구리(Cu) 또는 루테늄(Ru)/구리(Cu) 층이 형성되어 전자이동의 내성을 증가시킬 수 있다.
- <40> 티타늄(Ti) 또는 루테늄(Ru) 금속(118)을 금속막(114a) 상에만 선택적으로 흡착한 후, 질소( $\text{N}_2$ ), 수소( $\text{H}_2$ ) 또는 아르곤(Ar) 가스 분위기에서 200~400℃ 정도의 온도에서 1~3시간 정도 어닐링을 실시한다.

- <41> 티타늄(Ti) 또는 루테튬(Ru) 금속이 선택적으로 형성된 결과물 상에 캡핑막(120)을 형성한다. 캡핑막(120)은 실리콘 질화막( $\text{Si}_3\text{N}_4$ ) 또는 실리콘 카바이드막( $\text{SiC}$ )으로 형성한다.
- <42> <실시예 2>
- <43> 도 5 내지 도 8은 본 발명의 바람직한 제2 실시예에 따른 반도체 소자의 금속배선 형성 방법을 설명하기 위하여 도시한 단면도들이다.
- <44> 도 5를 참조하면, 반도체 기판(200)에 도전층(202)을 형성한다. 도전층(202)은 반도체 기판(200) 상에 형성된 금속 배선일 수도 있고, 반도체 기판(200) 내에 형성된 소오스/드레인 과 같은 활성영역일 수도 있다.
- <45> 도전층(202)이 형성된 반도체 기판(200) 상에 층간절연막(204)을 형성한다. 층간절연막(204)은 예를 들면,  $\text{SiOC}$ 막, PSG(phosphorous silicate glass)막, BPSG(boron phosphorous silicate glass)막, USG(undoped silicate glass)막, FSG(fluorine doped silicate glass)막, HDP(high density plasma)막, PE-TEOS(plasma enhanced-tetra ethyl ortho silicate)막 또는 SOG(spin on glass)막과 같은 저유전율을 갖는 물질막으로 형성하는 것이 바람직하다.
- <46> 층간 절연막(204) 상에 비아 홀(via hole)(205)을 정의하는 제1 감광막 패턴(미도시)을 형성한다. 상기 제1 감광막 패턴을 식각 마스크로 사용하여 층간 절연막(204)을 식각하여 비아 홀(205)을 형성한다. 다음에, 회전 도포 방식을 이용하여 유기 반사방지막(Organic Bottom Anti-Reflective Coating)(미도시)을 도포하여 비아 홀(205)을 매립한다. 이어서, 반도체 기판(200) 상에 트렌치(210)를 정의하는 제2 감광막 패턴(미도시)을 형성한다. 이어서, 상기 제2 감광막 패턴을 식각 마스크로 사용하여 층간 절연막(204)의 일부를 식각하여 트렌치(210)

를 형성한다. 다음에, 상기 제2 감광막 패턴과 잔류하는 상기 반사 방지막을 제거하여 듀얼 다마신 패턴을 형성한다.

<47> 이어서, 비아 홀(205)과 트렌치(210)로 구성된 듀얼 다마신 패턴이 형성된 반도체 기판(200) 상에 단차를 따라 구리의 확산을 방지하기 위한 확산방지막(212)을 증착한다. 확산방지막(212)은 층간절연막(204) 및 금속막(214)에 대하여 접착성이 좋고 금속막(214)의 확산을 방지할 수 있는 물질막, 예컨대 Ti막, TiN막 등으로 형성할 수 있다. 확산방지막(212)은 CVD(Chemical Vapor Deposition) 방법으로 100~300 Å 정도의 두께로 증착하는 것이 바람직하다.

<48> 확산방지막(212) 상에 금속 씨드층(미도시)을 형성한 후, 전기도금법(electroplating)을 이용하여 금속막(214)을 형성한다. 상기 금속막(214)은 구리(Cu)막 등일 수 있다.

<49> 도 6을 참조하면, 금속막(214)을 화학 기계적 연마하여 금속 배선(214a)을 형성한다. 상기 화학 기계적 연마 공정은 층간절연막(204)이 노출될 때까지 실시하는 것이 바람직하며, 상기 화학 기계적 연마 공정에 의하여 층간절연막(204) 상부의 확산방지막(212) 및 금속막(214)이 제거된다.

<50> 이어서, 앞에서 설명한 바와 같이 티타늄 클로라이드( $\text{TiCl}_4$ ; titanium chloride) 용액 또는 루테늄 클로라이드( $\text{RuCl}_3$ ; ruthenium chloride) 용액을 사용하여 무전해 전기도금(216)을 실시한다. 즉, 루테늄 클로라이드( $\text{RuCl}_3$ ) 용액에 구리(Cu) 금속배선을 담그거나, 티타늄 클로라이드( $\text{TiCl}_4$ ) 및 하이포-인산(hypo-phosphorous acid)( $\text{H}_3\text{PO}_2$ )이 포함된 용액에 구리(Cu) 금속배선(214a)을 담가서 구리(Cu) 금속배선(214a) 표면에 루테늄(Ru) 금속 또는 티타늄(Ti) 금속을 선택적으로 형성한다.

<51> 도 7을 참조하면, 상기 무전해 전기도금에 의하여 티타늄(Ti) 또는 루테튬(Ru) 금속(218)이 선택적으로 금속막, 예컨대 구리(Cu) 표면에만 선택적으로 증착된다. 이와 같이 화학 기계적 연마 후 노출된 구리(Cu) 표면에만 티타늄(Ti) 또는 루테튬(Ru)을 선택적으로 흡착시켜 전자이동을 줄여서 구리 배선의 신뢰성을 향상시킬 수 있다. 구리(Cu) 표면을 티타늄(Ti) 또는 루테튬(Ru) 등으로 코팅함에 의해 티타늄(Ti)/구리(Cu) 또는 루테튬(Ru)/구리(Cu) 층이 형성되어 전자이동의 내성을 증가시킬 수 있다.

<52> 이어서, 티타늄(Ti) 또는 루테튬(Ru) 금속(218)을 금속막(214a) 상에만 선택적으로 흡착한 후, 질소(N<sub>2</sub>), 수소(H<sub>2</sub>) 또는 아르곤(Ar) 가스 분위기에서 200~400℃ 정도의 온도에서 1~3시간 정도 어닐링을 실시한다.

<53> 도 8을 참조하면, 티타늄(Ti) 또는 루테튬(Ru) 금속이 선택적으로 형성된 결과물 상에 캡핑막(220)을 형성한다. 캡핑막(220)은 실리콘 질화막(Si<sub>3</sub>N<sub>4</sub>) 또는 실리콘 카바이드막(SiC)으로 형성한다.

<54> 상술한 제2 실시예의 경우 듀얼 다마신 패턴을 형성하는 방법 중에서 일 예를 들어 설명한 것에 불과하며, 본 발명은 상기의 실시예에만 한정되는 것은 아니며, 듀얼 다마신 패턴을 형성하여 트렌치 모양의 금속배선을 형성한 후 금속배선 상에 선택적으로 티타늄(Ti) 또는 루테튬(Ru) 금속을 형성하는 다양한 방법들에 적용이 가능함은 물론이다.

#### 【발명의 효과】

<55> 본 발명에 의한 반도체 소자의 금속배선 형성방법에 의하면, 화학 기계적 연마 후 노출된 구리 금속배선 표면에만 티타늄(Ti) 또는 루테튬(Ru) 금속을 선택적으로 형성함으로써 구리의 확산을 방지할 수 있으므로 구리 금속배선의 신뢰성을 확보할 수 있다.

&lt;56&gt;

이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 층간절연막을 형성하는 단계;

상기 층간절연막을 식각하여 금속배선 모양의 패턴을 형성하는 단계;

상기 금속배선 모양의 패턴이 형성된 결과물 상에 단차를 따라 확산방지막을 형성하는 단계;

상기 확산방지막 상에 구리막을 형성하는 단계;

상기 층간절연막 상부의 상기 구리막 및 상기 확산방지막을 화학 기계적 연마하여 구리 금속배선을 형성하는 단계;

상기 구리 금속배선 상에만 선택적으로 티타늄 또는 루테튬 금속을 흡착하는 단계; 및

상기 흡착된 티타늄 또는 루테튬 금속에 대하여 어닐링을 실시하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 2】**

제1항에 있어서, 상기 루테튬 금속의 흡착 단계는 루테튬 클로라이드( $\text{RuCl}_3$ ) 용액에 상기 구리 금속배선을 담가서 실시하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 3】**

제1항에 있어서, 상기 티타늄 금속의 흡착 단계는 티타늄 클로라이드( $\text{TiCl}_4$ ) 및 하이포-인산(hypo-phosphorous acid)( $\text{H}_3\text{PO}_2$ )이 포함된 용액에 상기 구리 금속배선을 담가서 실시하는 것을 특징하는 반도체 소자의 금속배선 형성방법.

**【청구항 4】**

제1항에 있어서, 상기 어닐링은 질소( $N_2$ ), 수소( $H_2$ ) 또는 아르곤( $Ar$ ) 가스 분위기에서  $200\sim 400^{\circ}C$ 의 온도에서 1~3시간 동안 실시하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 5】**

제1항에 있어서, 상기 어닐링 단계 후, 캡핑막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 6】**

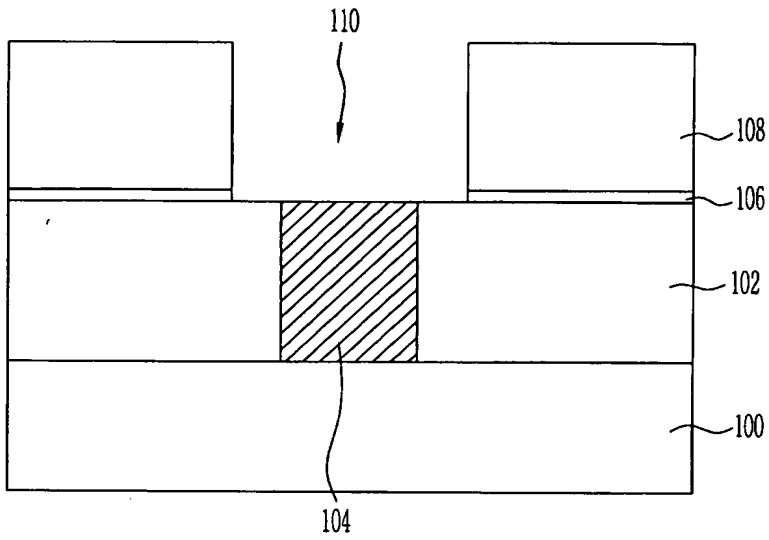
제1항에 있어서, 상기 캡핑막은 실리콘 질화막( $Si_3N_4$ ) 또는 실리콘 카바이드막( $SiC$ )으로 형성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.



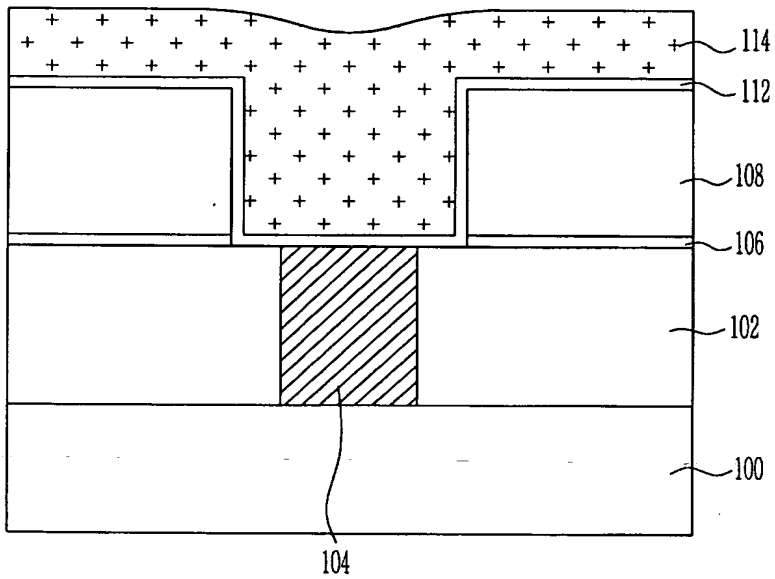


【도면】

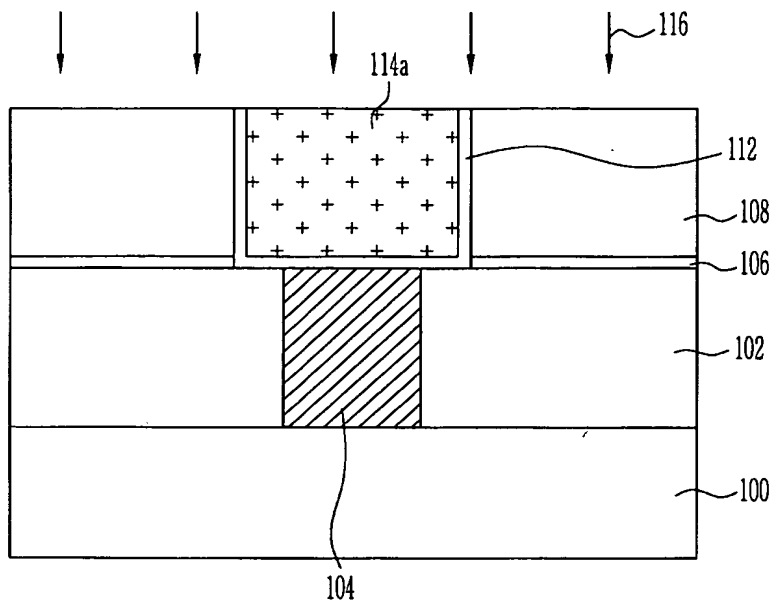
【도 1】



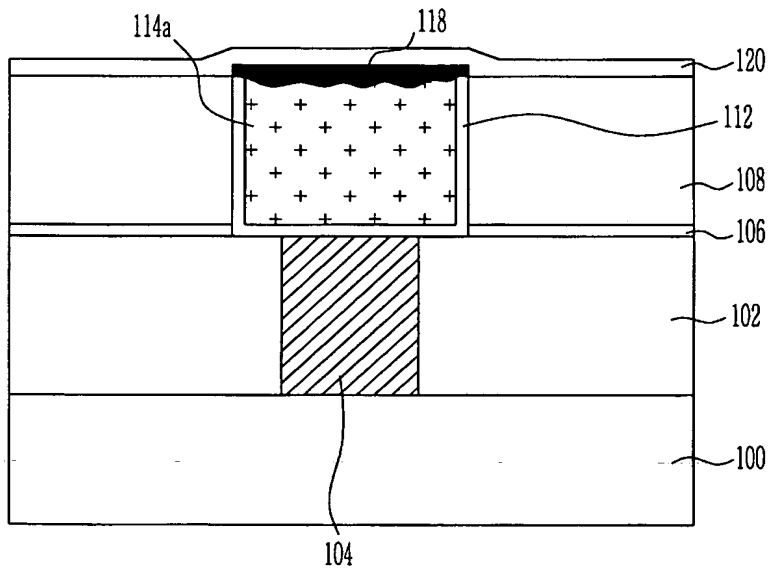
【도 2】



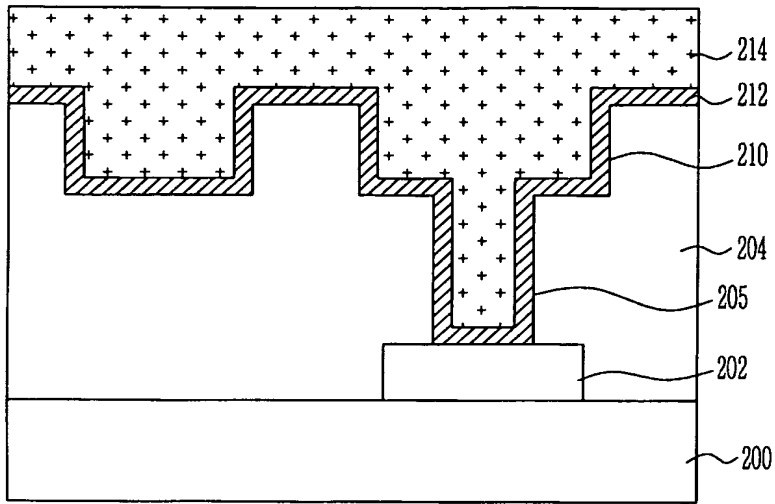
【도 3】



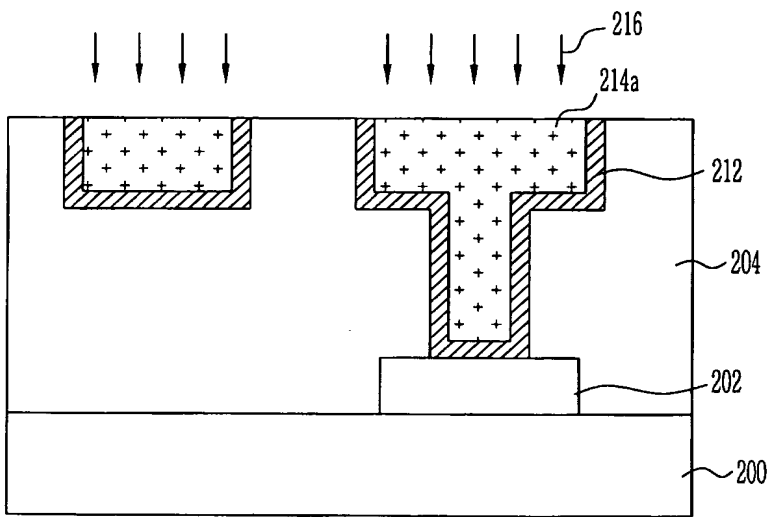
【도 4】



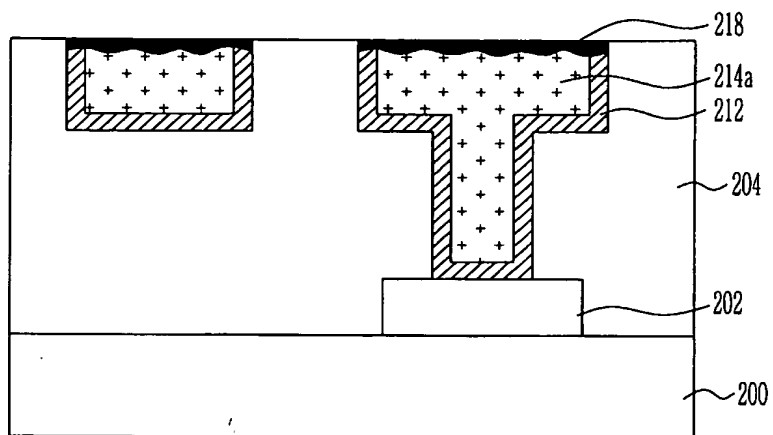
【도 5】



【도 6】



【도 7】



【도 8】

